

矽光子技術已成為半導體產業的關鍵研發核心，若能將處理光訊號的光波導元件整合到矽晶片上，同時處理電訊號和光訊號，便可達到縮小元件尺寸、減少耗能、降低成本的目標。

# 電去光來再造摩爾 矽光子效能檢測不可少

張齊如

2020年Intel就已提出矽光子將是先進封裝技術的發展關鍵，如今四年過去，矽光子技術已真正成為半導體產業的關鍵研發核心，並預計兩年後將完成整合正式上陣。面對這次的「電」去「光」來新革命，業界廠商需要做足準備。

隨著半導體積體電路技術的不斷發展，產業見證了摩爾定律的演進。元件尺寸的微縮和新材料的應用，都是為了提高單位面積內

的元件數量，以加速IC的運算速度，同時改善散熱效能和節省能源。然而，隨著元件尺寸的微縮接近物理極限，製程技術面臨挑戰，良率問題也隨之浮現。

因應這一挑戰，專家開始探索將不同功能的IC集成單一晶片、採用3D堆疊封裝技術等新途徑。但這些技術的核心，仍然是用金屬線連接各個元件。自從晶片問世以來，電子一直是主要的訊號傳輸媒介，它的傳輸

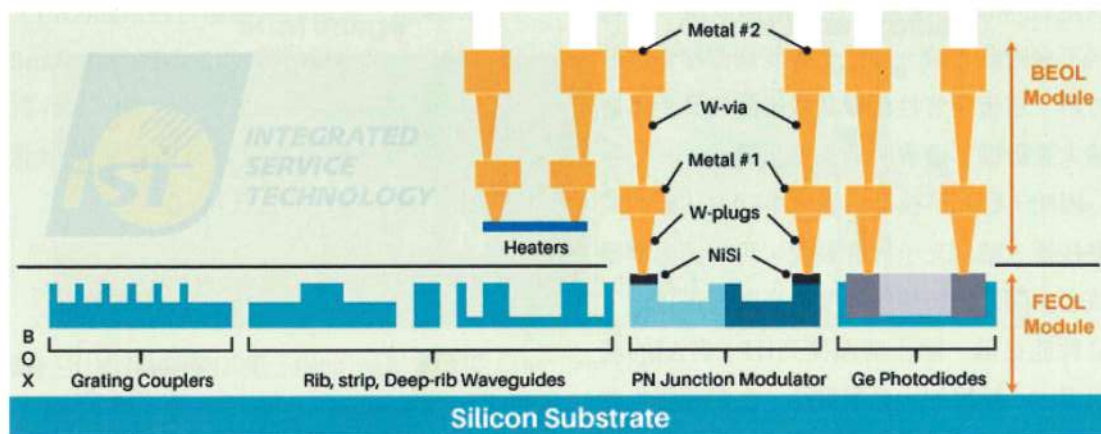


圖1 完整的CEA LETI矽光子單晶片平台用於結合被動和主動作用元件的橫剖面示意圖<sup>[1]</sup>

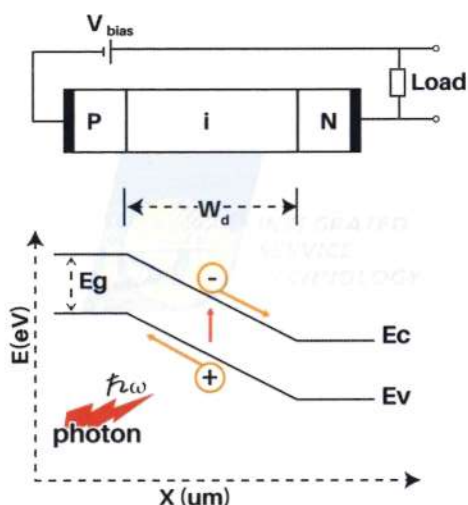


圖2 PIN二極體與負偏壓下受光效應產生的能帶結構示意圖<sup>[2]</sup>

速度直接決定了晶片的性能。近年來高性能運算(HPC)、人工智慧(AI)、雲端數據等應用爆炸性成長，產業將目光轉向可以突破限制，實現更高效能的光子傳輸技術，期望藉由導入更快速的光訊號傳輸，加快元件的運作。

## 矽光子逐步普及

目前光通訊元件常用的矽光子(Silicon

photonics, SiPh)，是結合電子與光子的技術，是將光路微縮成一小片晶片，利用光波導在晶片內傳輸光信號。若能將處理光訊號的光波導元件整合到矽晶片上，同時處理電訊號和光訊號，便可達到縮小元件尺寸、減少耗能、降低成本的目標，但目前矽光子仍有許多技術難題需克服。

光通訊運用的光纖系統，能在世界各地以每秒數萬億bit的速度傳送數據，1968年貝爾實驗室工程師很早就想到了。到了21世紀初發現光子技術不僅能在國與國之間傳遞數據，亦可在資料中心、CPU之間，或是在晶片與晶片之間傳輸數據。光之所以可以傳輸數據，是因為玻璃(SiO<sub>2</sub>)對於光來說是透明的，不會發生干擾的現象。基本上，光學通訊可以透過在SiO<sub>2</sub>中，結合能夠傳遞電磁波的光波導(Waveguide)通路來高速地傳輸數據。

而矽(Si)材料的折射率(Refractive Index)對比在紅外線的波長下高達3.5，這也意味著它比其他光學技術所用的材料，更能有效地控制光的彎折或減速。一般光學傳輸的波



長是1.3和1.55微米，在這兩個波段下矽材料不會吸收光線，因此光線能夠直接穿透矽材料。這種相容性使矽基設備能夠長距離傳輸大量數據，不會明顯失去訊號。

因此，矽光子技術透過原本CMOS矽的成熟技術，結合光子元件製程，可以使處理器核心之間的資料傳輸速度提高數百倍以上，且耗能更低。除了前面提到HPC與AI的應用需求不斷增加，光學雷達、生醫感測也非常適合使用光子元件。世界前幾大IC製造商都相繼發表矽光子，是未來IC技術的關鍵及趨勢。

### 矽光子元件材料首選鍺

矽光子元件的基本組成是使用能將「光」轉換成「電」訊號的PIN二極體(PIN Diode)光電偵測器，加上傳輸訊號的光波導(Wave Guide)與電訊號轉成光子的調變器(Modulator)、耦合器(Coupler)等所組成的一個單晶片，斷面的結構大致如圖1所示。其中最關鍵的製造技術即在圖1最右側

PIN二極體，首選的半導體材料為鍺(Ge)。因為鍺具有準直接能隙(Quasi-Direct Band Gap)，且僅有0.8eV小於光子能量。另外對於光的吸收係數很高更適合用於光電偵測器，是一種非常好的取代材料。

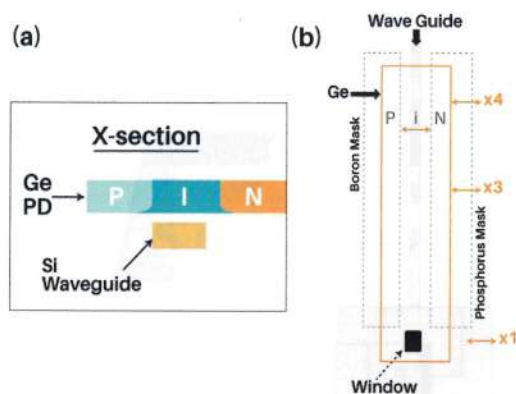


圖3 光子元件中PIN偵測器與光波導之(a)剖面結構相對位置圖，(b)為正面Layout<sup>[3]</sup>



圖4 TEM觀察Ge-PIN的斷面結構影像<sup>[4]</sup>

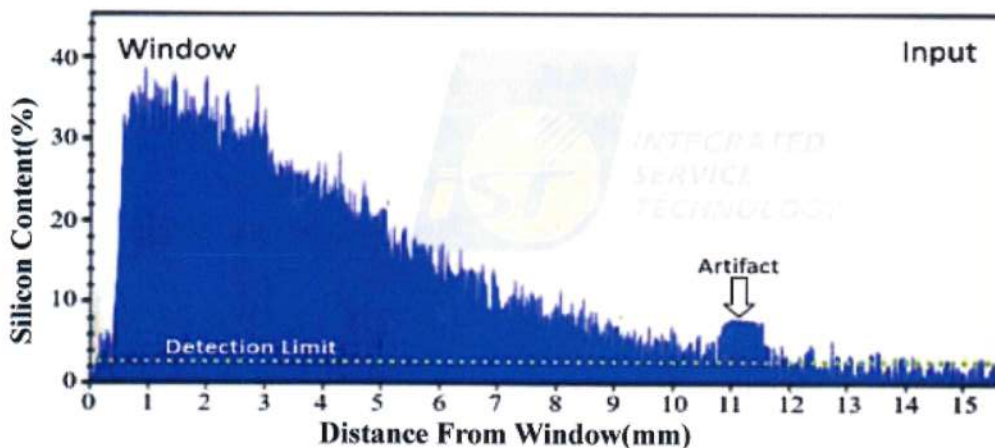


圖5 EDS分析從接觸窗(0mm)到光電偵測器的輸入端(15mm)Si的分布<sup>[5]</sup>

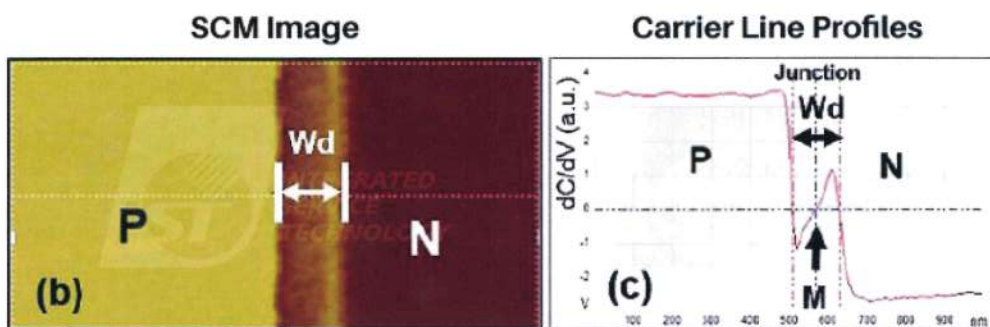


圖6 PIN的斷面SCM2D載子Mapping影像與1D Line Profile<sup>[6]</sup>

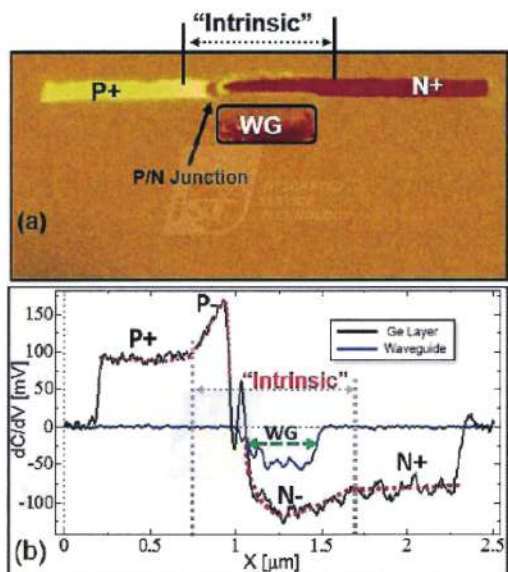


圖7 在圖3(B)中x3位置的斷面SCM(a) 2D Mapping影像與(b) 1D Line profile<sup>[7]</sup>

PIN是由一組高摻雜P(p+)型區和N(n+)型區之間，夾著一層本質(Intrinsic)區所組成。在負偏壓下二極體的空間寬度(Wd)，會擴展至整個本質層。如圖2下能帶結構所示，當入射到本質層中的光子被吸收後，於導電和價電帶間產生電子——電洞對的漂移而形成電流。在矽光子元件的研發中最重要的方向，就是在不影響常規CMOS元件的特性下，透過調整光電偵

測器PIN的製程，且能使效能與頻寬達到最佳化。

### 辨別Ge-PIN品質

以圖3簡單說明一顆單晶片的設計，Ge-PIN光電偵測器與Si光波導的相對位置，(a)圖為剖面結構示意圖，光波導位於本質層下方，(b)圖為正面Layout。因為Ge-PIN的品質差異會影響到偵測器的光電效能，Ge的磊晶製程與Si之間會有晶格不匹配與離子植入產生的差排缺陷等影響品質。圖4是Ge-PIN藉由穿透式電子顯微鏡(TEM)的觀察，可以明顯看出在本質層(Intrinsic)與P區均呈現亮區，代表沒有明顯缺陷。反觀在右側的N區則呈現暗灰色，這應該是源自於離子植入製程所產生的晶格缺陷。

此外，藉由EDS來分析波導中的Si，是否有朝向Ge-PIN擴散的情形。圖5為Ge層中沿著波導方向Si的含量分布。Si摩爾百分比從接觸窗(Window)最高約35%，向輸入側減少至低於EDS檢測極限的2%，約是在11mm的位置處，表示發生明顯的擴散現象。



## 觀察影響光電偵測器效能

矽光子元件主要製程是CMOS，藉由掃描電容顯微鏡(SCM)的分析技術可以量測PIN在不同製程條件下，觀察在本質層中空乏區寬度(Wd)的變化。圖6、7說明經由SCM二維載子分布圖(Mapping)影像，以及從一維載子線分布(Line Profile)，分別能區分P/N界面(Junction)的位置與Wd的示意圖。

在圖3中X3與X4兩位置區域的剖面SCM一維載子分布的結果於圖8中，可以量得p/n界面位置偏移了約215nm(兩條虛線間距)。上述都是透過SCM，可觀測出空乏區寬度(Wd)的變化，而空乏區的寬度決定電流流過的多寡，將會直接影響到元件品質與性能。

本文中談到離子植入產生的晶格缺陷，或是矽波導朝向本質層擴散現象，以及N/P dopant擴散速率的差異影響Wd寬度等。這些要素皆決定了矽光子元件的品質，是目前研發單晶片矽光子製程技術，所需面對的課題。此外，在設計Waveguide材料或形狀，以及其他相關製程的研發中，均可藉由奈米材料分析技術如TEM、EDS與SCM等，廠商如宜特科技擁有材料分析實戰經驗，可以提供客戶有效的濃度分布的數據分析，並以此依據改善研發製程細節。

## CPO應用實現矽光子優勢

事實上，現有相關矽光子產品大多是將數位交換晶片與光收發模組(Transceiver)利用先進封裝包裝在一起，稱為共同封裝光學(Co-Packaged Optics, CPO)的方式商品化。傳統光通訊產品仍有耗能與體積大的問

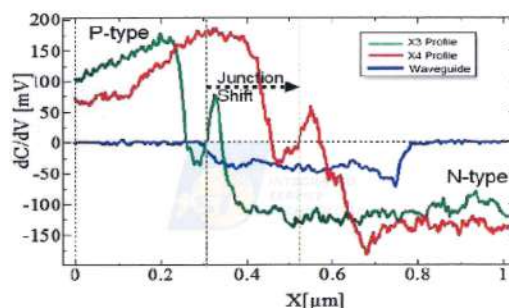


圖8 SCM一維載子分布圖顯示X3和X4兩位置之間的p/n界面位置的偏移<sup>[8]</sup>

題，未來採用矽光子單晶片能真正達到短小節能的目標。CPO技術可以提供高速、節能的整合解決方案，進而徹底改變資料中心、人工智慧、電信、感測和成像以及生物醫學應用等產業。儘管矽光子技術存在整合和設備製造相關的挑戰，業界大廠仍會持續加速研發腳步，在全球共同努力下，突破摩爾定律關鍵技術的時刻指日可待。<sup>[9]</sup>

(本文作者任職於宜特科技材料工程處)

## 參考資料

- [1] Daniel Benedikovic\*, Léopold Viro, Guy Aubin, Jean-Michel Hartmann, Farah Amar, Xavier Le Roux, Carlos Alonso-Ramos, Éric Cassan, Delphine Marris-Morini, Jean-Marc Fédéli, Frédéric Boeuf, Bertrand Szlag and Laurent Vivien, "Silicon-germanium receivers for short-wave-infrared optoelectronics and communications", *Nano-photonics* 2021; 10(3): 1059–1079
- [2]-[8] J. Nxumalo, Y. Wang, M. Iwatake, C. Molella, A. Katnani, J. Orcutt, J. Ayala, K. Nummy, "Characterizing junction profiles in Ge photodetectors using scanning capacitance microscopy (SCM) and electron holography", 978-1-5386-4513-0/18 ©2018 IEEE