

克服CoWoS/先進製程IC除錯難題 FIB電路修改技術精準奧援

● 王俊興

在IC設計這條路上，就算模擬結果看起來很完美，一上晶片還是可能冒出讓人崩潰的電路異常。這對供應商來說不只是花錢重投片的問題，更是會把專案時程拖到天荒地老，導致客戶追殺。更慘的是，碰到電路有問題時，工程師最常面對的困擾就是找不到

問題點，完全搞不清楚要接哪條線、切哪個位置，除錯起來簡直讓人懷疑人生。

這時候，FIB(Focused Ion Beam)電路修改技術就能帶上用場，可以快速又靈活地修改電路，協助工程師用最少的成本和時間完成設計驗證，不再掉進無限循環的除錯地獄。

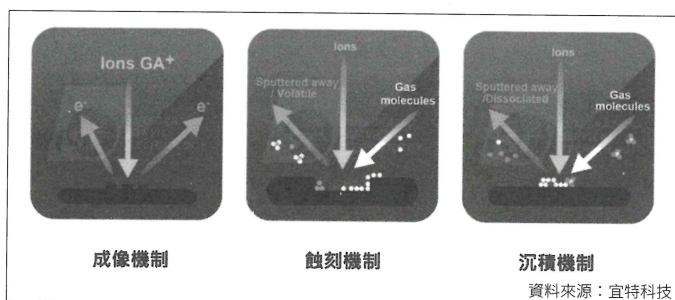


圖1 FIB原理

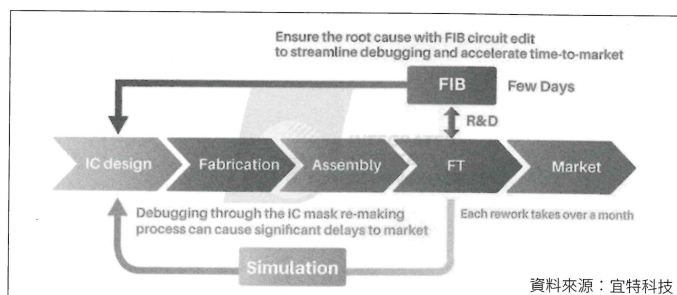


圖2 FIB電路修改可協助降低IC重製成本和原型驗證時間

FIB原理簡介

聚焦離子束電子顯微鏡，是利用鎵(GA+)離子源透過電場牽引成離子束，收集高速碰撞樣品表面產生的二次離子、電子後成像。在離子轟擊過程中利用不同氣體的注入，對晶片上各種材料進行選擇性地加速或減緩蝕刻，以及沉積導電和介電絕緣材料，達到修改電路的目的。搭配CAD導航系統輔助，準確的定位目標，提高電路修改精準度(圖1)。

FIB電路修改優勢

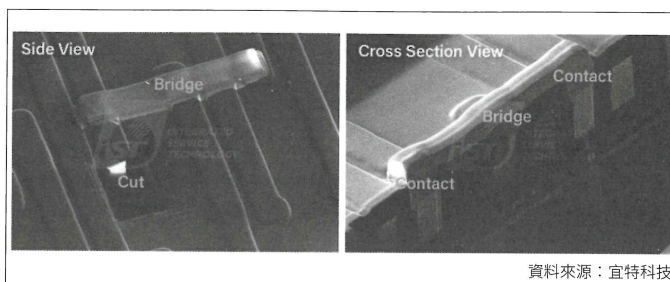
就像醫生透過外科顯微手術精確地解

決病人的身體缺陷，改善其健康狀況，廠商如宜特FIB實驗室透過專業和細緻的IC電路修改，能有效地在晶片下線(Tape Out)前確認問題所在，可節省高額重新投片成本，加快原型驗證的速度，縮短上市時間(圖2)。FIB電路修改技術也可協助客戶在開發時程緊迫的情況下，進行少量改版量產，再將樣品送交終端客戶進行驗證，成功取得先機，爭取到訂單。FIB技術利用蝕刻移除絕緣層及金屬層，並透過沉積金屬材料重新連接到其他路徑，這一過程能夠精確地依照客戶需求，並進行測試確認電路中的問題。透過剖面圖(Cross-section View)，可以清楚地了解使用聚焦離子束這一技術能夠精確去除表層材料，暴露出目標區域的金屬層。緊接著將金屬材料沉積填充在接觸點(Contact)上並在晶片表面進行橋接，實現電路的重新連接。後續便可進行測試，真實驗證電路的功能是否符合模擬結果。

此外，根據條件的需求，也能執行更複雜的電路重構，進一步擴大解決方案的範圍，客戶依據測試結果確認電路中的缺陷，滿足在電路除錯上的各種需求(圖3~5)。

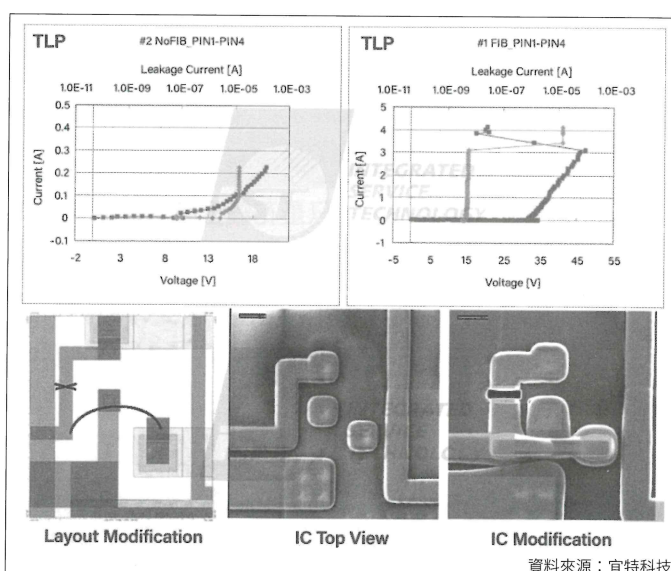
FIB電路應用

市場上的FIB電路修改技術已突破3nm製程，並有實驗室能提供晶片正面與背面電路修改服務。設備類型多元且數量



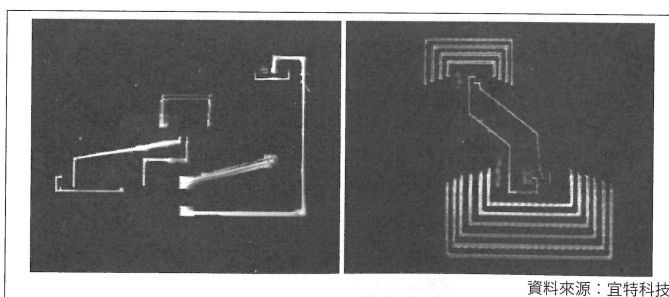
資料來源：宜特科技

圖3 從剖面圖來看FIB電路修改後的電路



資料來源：宜特科技

圖4 利用FIB電路修改將設計缺陷位置接上ESD保護電路，經TLP測試，耐電流從0.2A提升至4A



資料來源：宜特科技

圖5 根據客戶需求執行集中且多個目標點的電路修改

充足，不僅能滿足高產能需求，還能靈活提供多樣化解決方案，確保穩定的高

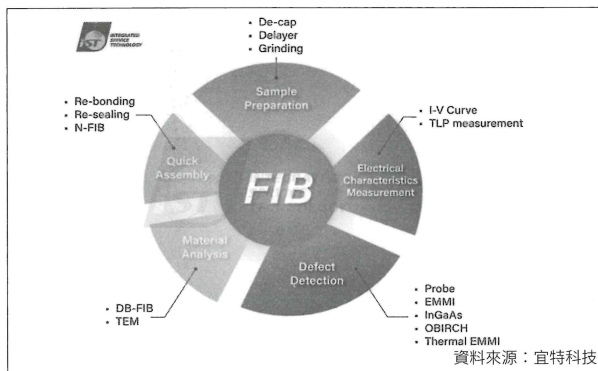


圖6 FIB電路修改後，接續故障分析和材料分析等實驗項目，可快速定位晶片缺陷以及確認問題得到改善

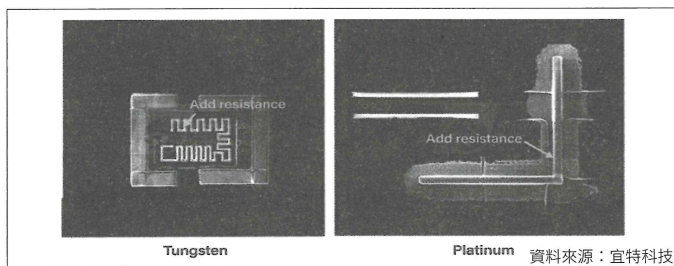


圖7 在兩個電路節點之間，調整沉積鎢或鉑金屬的連接長度，達到加入電阻目的

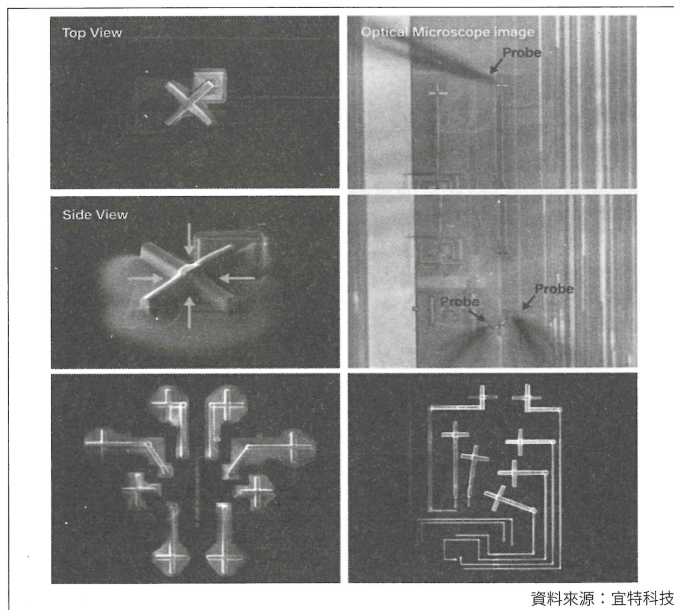


圖8 可根據客戶需求製作指定區域中多點的Probe PAD

良率與快速交期。此外，若是選擇經驗豐富的驗證實驗室，實驗室人員可專精於多種設備操作，並支援8吋晶圓不破片的電路修改服務。由圖6可見，FIB電路修改後可接續進行電性量測、故障點偵測、材料分析和快速封裝等實驗，以下將一一分述FIB的各種廣泛應用。

(一)沉積金屬材料調整電阻

FIB電路修改技術可以利用沉積金屬材料進行電路連接，然而，進一步的應用，亦可以根據客戶需求，在兩個電路節點之間，透過沉積具有不同電阻係數的金屬，例如鎢(Tungsten)或鉑(Platinum)，來控制金屬的連接長度，達到調整電阻值的目的(圖7)。此法可用來模擬不同電阻對電路性能的影響，後續亦可以進行波形(I-V Curve)、ESD等相關故障分析實驗量測。

(二)客製化FIB PAD設計

廠商如宜特的FIB Pad設計為十字形狀，除了能夠使探針穩定地頂住任一內角，防止針座滑動，並且擁有多向角度調整的可能性。方便IC在接觸不良時，重新調整針座位置與方向以達到最佳接觸效果，進而重複使用。不僅提高了操作的穩定性，也延長使用壽命。

並可進一步根據客戶需求製作更多且更複雜的FIB Pad，利用點針技術準確地擷取訊號，測試該區域電路是否符合

研發設計要求，及時發現進而定位缺陷，後續可再進一步進行電路修改，改善問題。或是接續亮點分析，針對異常位置進行剖面(Cross DDection)FIB或TEM分析，確認製程缺陷(圖8、9)。

此外，實驗室建置介電絕緣材料，即使是晶圓半成品或經過Delayer處理的晶片，依然可以先利用絕緣材料將暴露的金屬層隔絕，進而安全地進行FIB加工。

(三)新型FIB電路修補(N-FIB)

FIB Pad的延伸應用，包含新型FIB電路修補(N-FIB)：

1. 低阻抗解決方案

以1,000um的連接距離為例，使用傳統FIB沉積技術，Pt材質的阻抗為6k Ω ，W材質為2k Ω ，而N-FIB技術則可實現僅10 Ω 的低阻抗，顯著提升效能。

2. 訊號引出

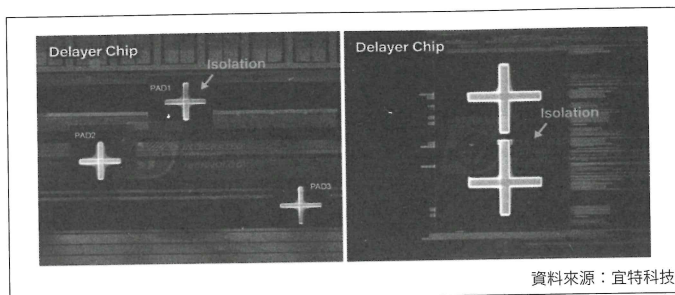
取代傳統探針測試，提供更高的靈活性與重複性，應用於更頻繁與複雜的測試需求與環境。

3. 添加電容或電阻

利用N-FIB技術連接電容或電阻，使用SMD 0201封裝，尺寸為300×600um，實現更精確的電路測試需求(圖10、11)。

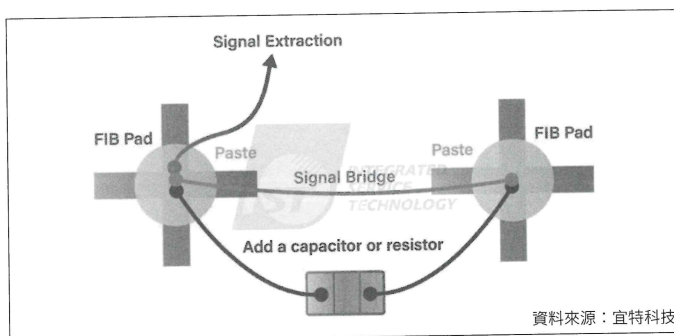
(四)故障分析Nano Probe測試

在測量先進製程或高速訊號功能的晶片時，若使用FIB Pad方式進行測試，



資料來源：宜特科技

圖9 Delayer樣品製作Probe PAD時，利用絕緣材料事先覆蓋厚暴露的金屬層，避免電路短路



資料來源：宜特科技

圖10 製作訊號擷取點後，再加工進行訊號間的對接或增加元件，以及訊號的引出

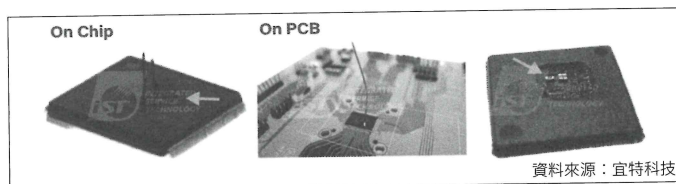
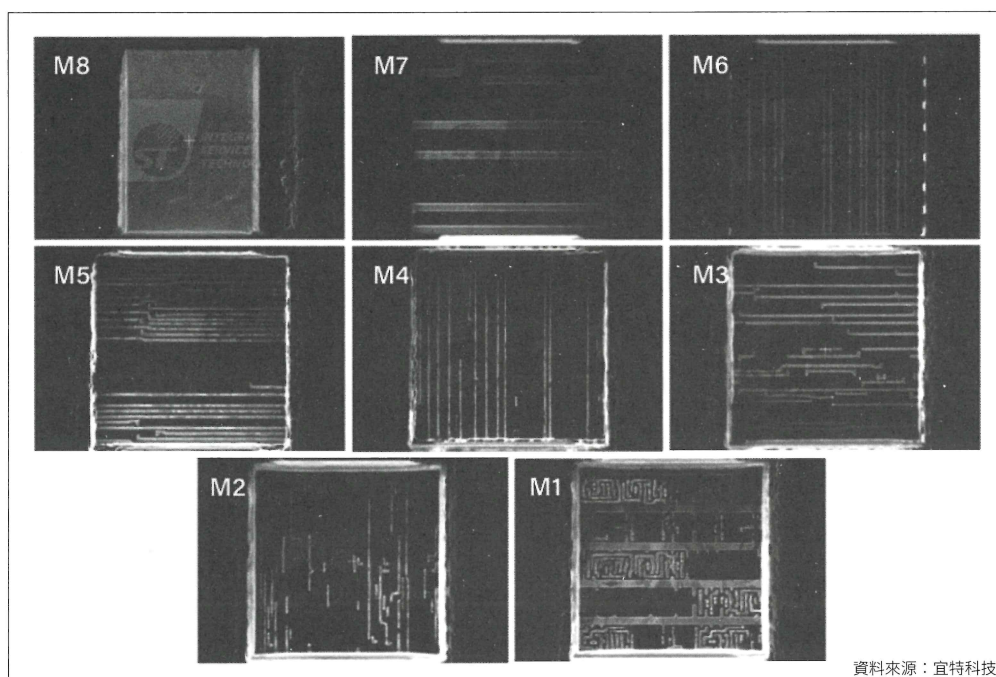


圖11 訊號引出以及元件放置圖

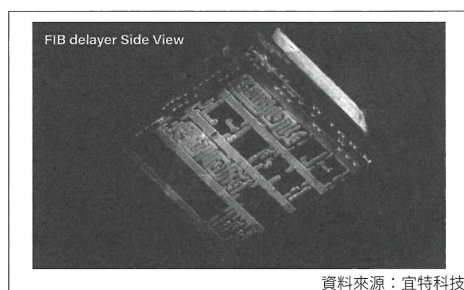
可能會因額外增加的阻抗或容抗而導致訊號失真。為了解決這一問題，可以使用宜特故障分析實驗室建置的奈米探針電性量測(Nano Prober)設備，將損耗降至最低。

在此之前，須對晶片進行去層(Delayer)，然而傳統的去層技術需要全面性的逐層研磨至目標金屬層，這不



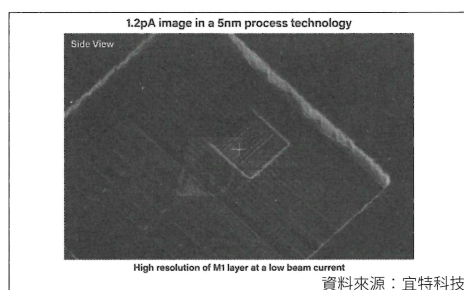
資料來源：宜特科技

圖12 鎖定局部區域進行去層，可以精準停留在指定目標金屬層，相較傳統手法可降低過度研磨問題



資料來源：宜特科技

圖13 從側面看FIB的去層能力



資料來源：宜特科技

圖14 1.2pA低能量的高解析度影像，可清楚分辨5nm節點在M1金屬層

僅耗時，且在面對先進製程晶片時，過度研磨的風險也會相對增加(圖12)。在這種情況下，FIB可以精確的鎖定局部區域進行去層，大幅降低失敗風險，FIB的蝕刻技術成爲一個理想的解決方案(圖13)。

(五)FIB晶背電路修改技術

晶背電路修改技術是一項經過多年發展且相當穩定的技術，並且已經建立了完整的工作流程，包括開蓋、研磨及重新封裝等，都有對應的解決方案。在這一過程中，特別是針對目標區域進行局部研磨，將能夠實現CoWoS(Chip-on-Wafer-on-Substrate)封裝中的FIB電路

修改。

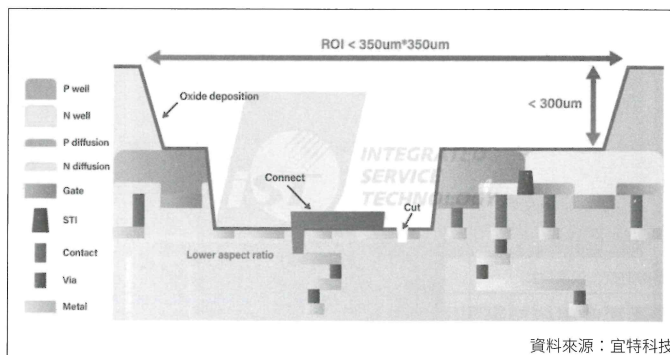
從晶背執行電路修改時，目標通常位在M1~M3的金屬層，都是晶片最小設計尺寸金屬層，往往考驗著實驗室人員的技術能力以及調校出的影像品質。參考圖例展示，廠商如宜特利用設備最小 Beam Current 1.2pA調校高解析度的影像，有助於電路判斷進而提高電路修改成功率(圖14)。

隨著先進製程技術的持續微縮，以及終端產品需求的不斷推動，Flip Chip封裝的應用範圍逐步擴大，其中CoWoS封裝也採用了Flip Chip 2.5D封裝形式。從FIB晶背施工的角度來看，Flip Chip封裝具有低深寬比的優勢，並且修改過程會先遇到電路源頭，能夠在一定程度上簡化欲修改的內容(圖15)。然而，隨著製程進入7nm、5nm、3nm，甚至未來的2nm，晶片的電路多樣性與複雜度大幅提升。

儘管3nm已經有成功修改的案例，但這些先進製程所帶來的挑戰，大大提高電路修改的難度。無論是技術能力還是設備能力，都需要具備更高的要求。市場譽為黑科技的晶背供電技術(Backside Power Delivery Network, BSPDN)，將成為FIB電路修改技術未來面臨的一大挑戰(圖16、17)。

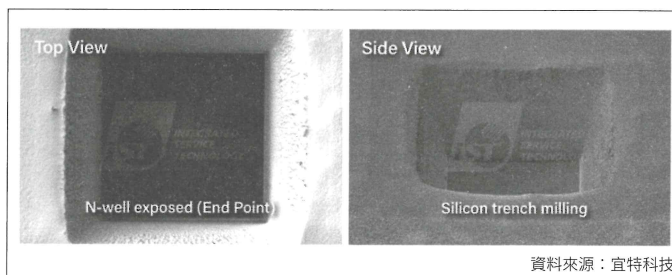
(六)FIB技術應用於各種封裝

以下解析市場大部分熱門封裝的FIB



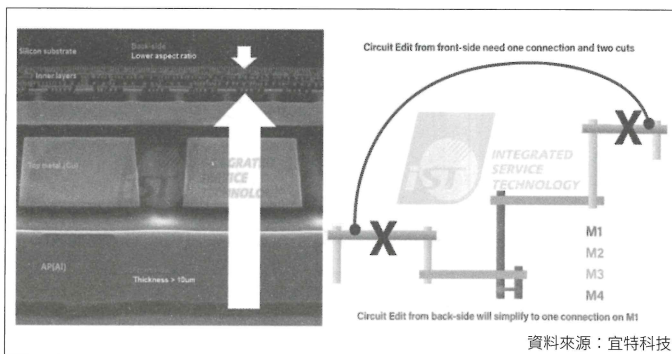
資料來源：宜特科技

圖15 FIB晶背電路修改技術剖面示意圖



資料來源：宜特科技

圖16 晶背矽溝槽蝕刻



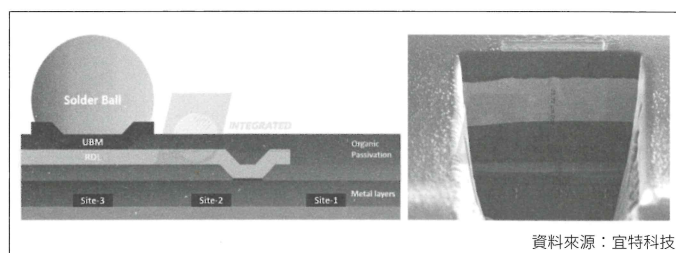
資料來源：宜特科技

圖17 從晶背進行FIB電路修改，有低深寬比的優勢(左圖)；由電路源頭進行電路修改，可以一定程度簡化欲修改的內容(右圖)

電路修改：

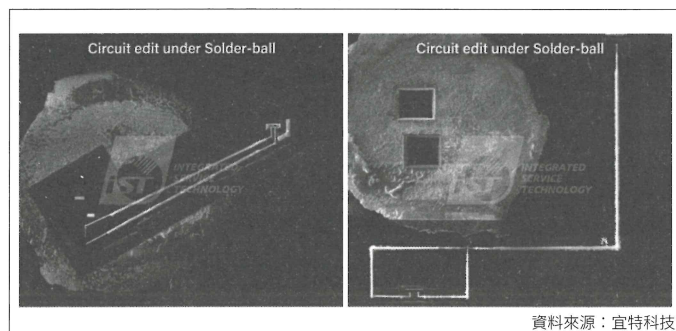
1. WLCSP

在WLCSP(Wafer-Level Chip Scale Package)解決方案中，除了Site-1、Site-2皆可以執行電路修改外，針對



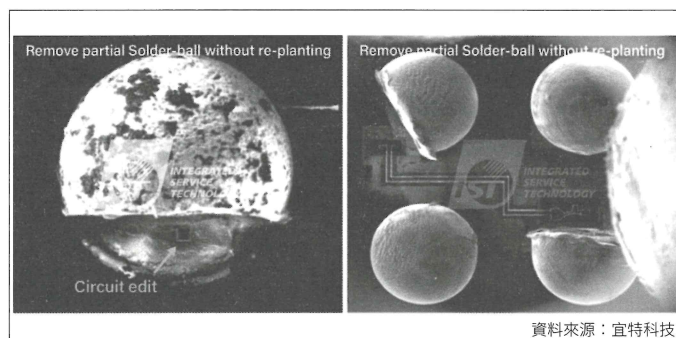
資料來源：宜特科技

圖18 WLCSP結構及其重布層厚度的示意圖



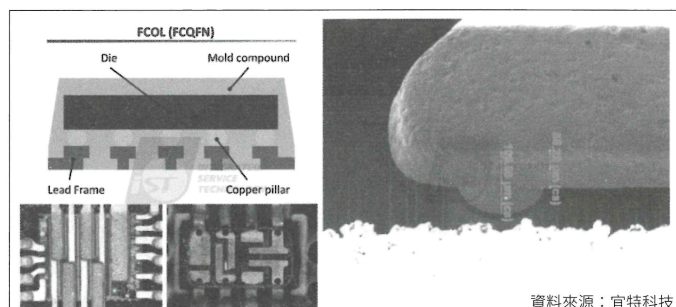
資料來源：宜特科技

圖19 移除錫球後進行FIB電路修改，完成後進行植球



資料來源：宜特科技

圖20 局部移除錫球，FIB完成後不須再植球，可以直接Socket或焊上PCB板測試



資料來源：宜特科技

圖21 FCOL封裝示意圖，以及打開膠體後導線架覆蓋晶片狀況

Site-3更提供錫球局部移除與移除重植的方案，解決客戶電路在錫球下無法執行FIB電路修改的困境。同步進行FIB晶背電路修改，並成功實現在同一顆樣品上進行晶片正面與背面電路修改的案例(圖18~20)。

2. FCOL

FCOL(Flip Chip on Lead)封裝技術利用銅柱和導線架取代傳統的焊線，不僅縮小了封裝尺寸，同時降低了熱阻與電阻，進而提升了散熱能力與電性效能。然而，晶片上方大面積的導線架卻為FIB電路修改帶來挑戰，當目標區域被導線架覆蓋時，將無法進行FIB修改。為解決這一問題，可以採用局部移除導線架的創新方案，該方法在保持IC正常電性運作的同時，能夠順利完成FIB電路修改。

不過需要注意的是移除封膠體後，裸露的導線架變得相對脆弱，因此在FIB完成後，必須進行封膠處理以增強結構穩定性。此外，必須提醒，一旦導線架被移除，將無法重建，這一點需特別留意。針對FCOL封裝產品，亦可以同步些修感FIB晶背電路修改，並且成功實現在同一顆樣品上進行正面與晶背電路修改的案例(圖21~22)。

3. CoWoS

近兩年，CoWoS封裝無疑是最受關注的封裝技術之一，這種封裝也能進行FIB電路修改。從結構示意圖中可以

看到，CoWoS採用了2.5D封裝形式，ASIC的正面透過TSV(Through-Silicon Via)連接到基板(Substrate)，而ASIC晶片的晶背則為裸露狀態，所以可以從晶背進行FIB電路修改。

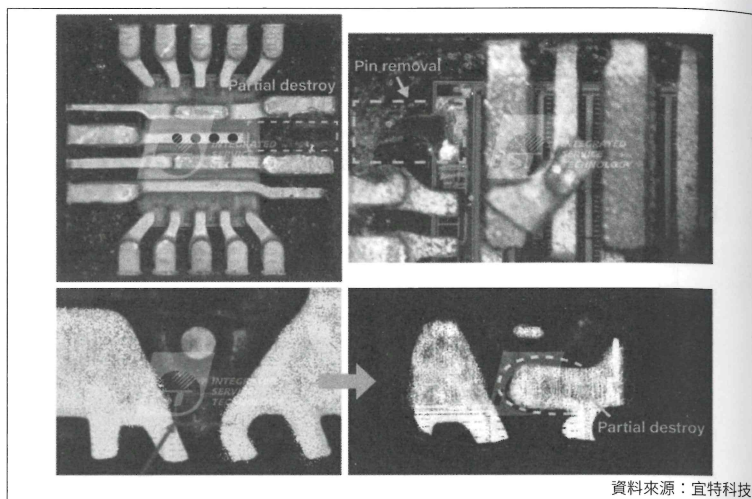
然而，在進行FIB修改之前，通常需要先對晶背進行研磨以減少其厚度。傳統上，研磨通常是全面性進行，但這樣容易破壞高頻寬記憶體(HBM)。若是針對FIB的目標區域進行局部研磨，這樣不僅能保護HBM，還能為後續的FIB操作提供必要的空間(圖23、24)。

FIB解決先進製程IC除錯難題

對IC設計業者而言，晶片除錯是棘手的問題，尤其半導體製程持續微縮，先進封裝技術也變得普及，增加電路修改的難度。FIB技術做為精密的電路修改方法，能夠在微觀尺度上，精準地移除晶片上的絕緣層和金屬導線。當離子束成功地暴露出目標區域的金屬層後，技術人員便能進行下一步的重新連接電路的工作。

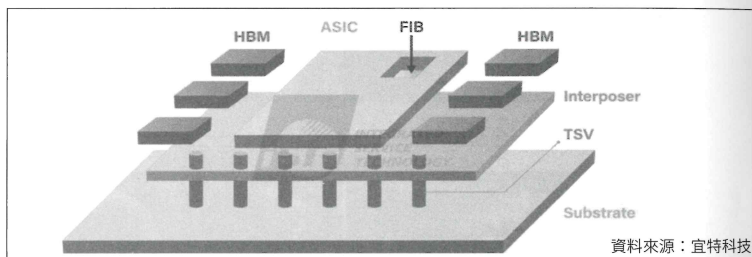
完成修改後，技術人員會執行一系列的功能測試，實際驗證修改後的電路是否符合設計規格和模擬預期，確保修改確實解決了原有的問題。這種精密的修改和驗證過程，使FIB技術成為解決複雜電路問題的重要工具。

(本文作者為宜特科技資深經理)



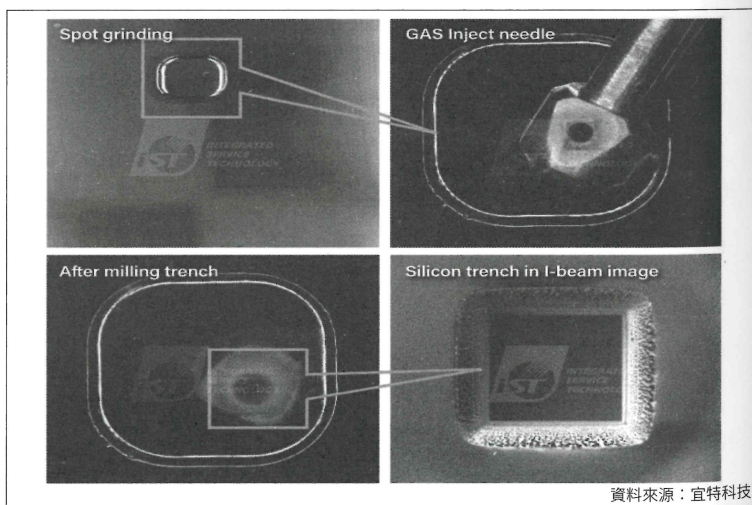
資料來源：宜特科技

圖22 局部移除導線架的案例



資料來源：宜特科技

圖23 現有技術可以不破壞HBM，針對目標區域局部研磨後，執行FIB電路修改



資料來源：宜特科技

圖24 針對目標區域執行晶背局部研磨，並且使用FIB進行矽溝槽的蝕刻